Disk controller having host interface and bus switches for selecting buffer and drive busses respectively based on configuration control signals

Patent Number: ☐ US5257391

Publication date: 1993-10-26

Inventor(s): DULAC KEITH B (US); WEBER BRET S

Applicant(s): NCR CO (US)

Requested Patent: ☐ JP5197495

Application US19910746399 19910816

Priority Number(s): US19910746399 19910816

IPC Classification: G06F13/00

EC Classification: G06F3/06D, G06F11/10M

Equivalents: JP3204276B2

Abstract

A disk array controller providing a variable configuration data path between the host system and the individual disk drives within a disk array and parity and error correcting code generation and checking. The controller includes host interface logic for converting data received from the host system via a 16 or 32-bit SCSI bus to 16, 32 or 64-bit data words multiplexed across one, two or four 16-bit buffer busses, and for converting data received from the buffer busses to the proper form for transmission to the host system. A bus switch, including an exclusive-OR circuit for generating parity information, is connected between the buffer busses and six disk drive busses for directing the transfer of data and parity information between selected buffer and drive busses. The controller further includes a storage buffer connected to the buffer busses to provide temporary storage of data and parity information. The host interface logic, bus switch and storage buffer, under the direction of an included processor and DMA control logic, performs array read and write operations requested by the host system in accordance with RAID level 1, 3, 4 or 5 protocols.

(19)日本国特許庁（ＪＰ）　(12) 公開特許公報（A）　(11)特許出願公開番号

特開平5－197495

(43)公開日　平成５年(1993)８月６日

(51)Int.Cl.[5]	識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｇ０６Ｆ　3/06	３０１　Ｂ	7165－5Ｂ		
	Ｒ	7165－5Ｂ		

審査請求　未請求　請求項の数14(全 22 頁)

(21)出願番号　特願平4－237616

(22)出願日　平成４年(1992)８月14日

(31)優先権主張番号　７４６３９９

(32)優先日　1991年８月16日

(33)優先権主張国　米国（ＵＳ）

(71)出願人　592089054
エヌ・シー・アール・インターナショナル・インコーポレイテッド
アメリカ合衆国　45479　オハイオ、デイトン　サウス　パターソン　プールバード　1700

(72)発明者　キース　ビー．デュラーク
アメリカ合衆国　67037　カンザス、ダービー、ヒラ　8652

(72)発明者　ブレット　エス．ウェバー
アメリカ合衆国　67203　カンザス、ウイチタ、エヌ．マウント　カーマル　1851

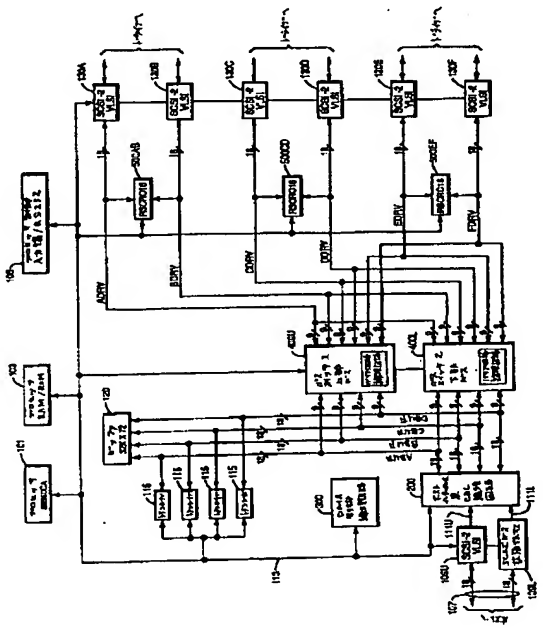
(74)代理人　弁理士　西山　善章

(54)【発明の名称】　ディスクアレーコントローラのアーキテクチャ

(57)【要約】

【目的】ホストシステムおよびディスクアレー内のディスクドライブ間に可変データ路を構築し、パリティおよびエラー矯正コードの発生と検査を行うディスクアレーコントローラを与える。

【構成】このコントローラは、ＳＣＳＩバス１１１を介してホストシステムから受信したデータを多重データワードに変換すると共に、バッファバスＡＢＵＦ-ＤＢＵＦから受信したデータをホストシステムへの送信のため適切な形態に変換するホストインターフェース論理回路２００を含む。選択したバッファおよびドライブバス間におけるデータおよびパリティ情報の転送を監督するためのパリティ情報発生用排他的ＯＲ回路付きバススイッチ４００Ｕ、４００Ｌが設けられる。ホストインターフェース論理回路、バススイッチ、および格納バッファ１２０は、プロセッサ１０１およびＤＭＡ制御論理回路３００の監督の下にＲＡＩＤレベル１、３、４もしくは５プロトコルに従ってホストシステムが要求するアレー読み取り／書き込みオペレーションを行う。



1

【特許請求の範囲】

【請求項１】ホストコンピューターシステムバスを複数のＲＡＩＤディスクドライブバスに接続するコントローラであって、

複数のバッファバスと、

該ホストバスおよび該複数のバッファバス間に接続され、該ディスクアレーのＲＡＩＤレベル形態に基づいてバッファバスを選択すると共に該ホストバスおよび該選択されたバッファバス間でデータを転送する、ホストインターフェースと、

該複数バッファバスおよび該複数ドライブバス間に接続され、該ディスクアレーＲＡＩＤレベル系他に基づいてバッファバスを選択すると共に、該ホストバスおよび該選択されたバッファバスと該選択されたドライブバスとの間でデータを転送する複数のバススイッチと、を含むコントローラ。

【請求項２】複数のディスクドライブバスに対しホストコンピューターシステムバスをインターフェースするコントローラであって、

複数のバッファバスと、

該ホストバスおよび該複数のバッファバス間に接続され、該ホストバスと該複数のバッファバスのうちから選択された少なくとも一つのバッファバスとの間でデータを転送するホストインターフェースと、

該複数バッファバスおよび該複数ドライブバスとの間に接続され、一群の選択されたバッファバスを一群の選択されたドライブバスに結合するバススイッチとを含むコントローラ。

【請求項３】請求項２に記載のコントローラであって、さらに該複数バッファバスに接続され、該バッファバスから受信したデータを格納すると共に格納したデータを該バッファバス上に出力するバッファ格納装置を含むコントローラ。

【請求項４】請求項３に記載のコントローラにおいて、該ホストインターフェースが該ホストバスおよび該バッファバスとの間でデータを指向させる多重化手段を含むことを特徴とするコントローラ。

【請求項５】請求項３に記載のコントローラにおいて、該バススイッチが、

該複数のドライブバスの各々に対応するバスマルチプレクサからなる第一の複数バスマルチプレクサ群にして該マルチプレクサ各々がその対応のバスに接続される出力端と複数入力端とを有し、該入力端各々が該複数バッファバスのなかの対応する一バッファにそれぞれ接続される、前記第一複数バスマルチプレクサ群を含むことを特徴とするコントローラ。

【請求項６】請求項５に記載のコントローラにおいて、該バススイッチがさらに、複数入力端を有するパリティ発生回路にしてこれら入力端の各々が該複数バッファバスのなかの対応する一バッファに接続されているパリティ発生回路を有し、

2

該第一複数バスマルチプレクサ各々が、該パリティ発生回路の出力端に接続される入力端を有することを特徴とするコントローラ。

【請求項７】請求項３に記載のコントローラにおいて、該バススイッチがさらに、

該複数バッファバスの各々にそれぞれ対応するバスマルチプレクサからなる第二の複数バスマルチプレクサ群にして、該第二複数マルチプレクサの各々がその対応のバスに接続される出力端と複数の入力端とを有し、これら入力端が該複数のドライブバスのなかの対応する一バスにそれぞれ接続されている、前記第二複数のバスマルチプレクサ群を含むことを特徴とするコントローラ。

【請求項８】請求項７に記載のコントローラにおいて、該バススイッチがさらに、

複数の入力端を有するパリティ発生回路にしてこれら入力端が該複数ドライブバスのなかの対応する一バスに接続されるパリティ発生回路を有し、

該第二複数バスマルチプレクサの各々が、該パリティ発生回路の出力端に接続される入力端を有することを特徴とするコントローラ。

【請求項９】請求項８に記載のコントローラにおいて、該第二複数のバスマルチプレクサが、一出力端と複数入力端とを有し、これら入力端が該複数ドライブバスの対応する一バスに接続されており、

該パリティ発生回路がこれらバスマルチプレクサの出力端に接続された入力端を含むことを特徴とするコントローラ。

【請求項１０】請求項３に記載のコントローラであって、

該ドライブバスの各々に関連されたＣＲＣ論理回路にして該ドライブバス上に転送されたデータに対するエラー矯正コードを発生し検査するＣＲＣ論理回路をさらに含むコントローラ。

【請求項１１】請求項１０に記載のコントローラにおいて、該ＣＲＣ論理回路が、

ディスクアレー書き込みオペレーション期間中の第一モードではエラー矯正コードを発生すると共に該ドライブバスにおけるデータ転送に該コードを付記すべく動作し、

ディスクアレー読み取りオペレーション期間中の第二モードではエラー矯正コードを発生すると共にそのコードを該ドライブバスにおけるデータ転送に付随するエラー矯正コードと比較すべく動作することを特徴とするコントローラ。

【請求項１２】請求項３に記載のコントローラであって、

該コントローラがさらに、該ホストインターフェース手段、該バススイッチ手段、該バッファ格納手段、アドレス／データバスおよび複数の制御線と相互接続されたプ

3

ロセッサおよびＤＭＡ制御論理回路を含み、
該プロセッサが該ＤＭＡ制御論理回路、該ホストインターフェース手段、該バススイッチ手段、および該バッファ格納手段に制御信号を与え、該ＤＭＡ制御論理回路、該ホストインターフェース手段、該バススイッチ手段、および該バッファ格納手段の構築および動作が該制御信号により決定され、
該ＤＭＡ制御論理回路が該ディスクアレーコントローラのためのＤＭＡおよびバッファ制御を与えることを特徴とするコントローラ。

【請求項１３】複数のディスクドライブに対しホストコンピューターシステムをインターフェースするディスクアレーコントローラであってホストバスと、
複数のバッファバスと、
該ホストバスおよび該複数のバッファバス間に接続され、該ホストバスと該複数バッファバスのなかから選択された少なくとも一バッファバスとの間でデータを転送するホストインターフェース手段と、
複数のドライブバスと、
該複数バッファバスと該複数ドライブバスとの間に接続され、一群の選択されたバッファバスを一群の選択されたドライブバスに結合するバススイッチ手段と、
該複数バッファバスに接続され、該バッファバスから受信したデータを格納すると共に格納したデータを該バッファバス上に出力するバッファ格納手段と、
排他的ＯＲ回路にして、
該バッファおよびドライブバスの中から選択したものからデータを受信すべく該排他的ＯＲ回路を接続すると共に該選択したバスから受信したデータを結合する、第一スイッチ手段と、
該バッファおよびドライブバスの中から選択したものに該排他的ＯＲ回路の出力を与える第二スイッチ手段とを含む排他的ＯＲ回路とを含むディスクアレーコントローラ。

【請求項１４】請求項１２に記載のコントローラにおいて、
該ホストバスが１６ビットＳＣＳＩバスを含み、
該複数のバッファバスが四つの１６ビットバッファバスを含み、
該複数ドライブバスが六つの１６ビットドライブバスを含み、
該コントローラがさらに、六つのドライブバスに対応する六つのＳＣＳＩアダプタを含み、該アダプタ各々がその対応するドライブバスおよび対応するディスクドライブ間に接続されていることを特徴とするコントローラ。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明はコンピューターシステム用ディスク格納デバイスに関し、特に複数の格納デバイスを管理するディスクアレーコントローラに関する。

4

【０００２】

【従来の技術】過去数年の間にコンピューターの一次メモリデバイスの速度および容量は、その処理能力および処理速度と共に劇的な進歩を遂げた。しかし不幸なことにデータ処理と一次メモリ技術の進歩とは対照的に、主に磁気ディスクからなる二次メモリ格納デバイスの性能の改良はそれほど進捗してない。このようなＣＰＵおよび一次メモリデバイスの性能の向上および速度の向上は、それがが実現され続けているとしても二次格納デバイスの性能の向上と一致しないならば、浪費されてしまう。例えばＣＰＵと二次格納装置の性能の不一致の結果として、ディスクＩ／Ｏオペレーションがの多大な比率を占めることとなる。

【０００３】ディスクアレーは、二次格納デバイスの性能を改良するための一手段として提案されたもので、その目的はＣＰＵの性能と二次格納装置の性能との間の不一致が高価につくのでこれを解消するためであった。並列接続された複数の小型かつ廉価なディスクドライブを含むディスクアレーは、ホストシステムにとっては単一の大型高速ディスクのように動作する一方で、単一の大型磁気ディスクよりも性能、信頼性、消費電力、および拡張／縮小性において一層改善できる。多くの場合、単一の大型磁気ディスクよりも性能、信頼性、消費電力、および拡張／縮小度においてディスクアレーが優れている。

【０００４】現行のディスクアレーの設計で採り得る方法は、デービッド　エイ　パターソン、ガース　ギブソン、およびランディー　エッチ　カッツ　共著の「廉価なディスク冗長アレーの例（Redundant Arrays of Inexpensive Disks，ＲＡＩＤ）」と題するユニバーシティー・オブ・カリフォルニア　レポート　第ＵＣＢ／ＣＳＤ８７／３９１号（１９８７年１２月号）に記載されている。この記事はＲＡＩＤレベルと呼ばれる五段階のディスクアレー構成を紹介している。最も簡単な構成は、ＲＡＩＤレベル１システムで、これは一つ以上のデータ格納用ディスクと、当該データディスクに書き込まれた情報のコピーを格納するための同数の追加的「鏡像」ディスクを含む。残りのＲＡＩＤレベルはいくつかのデータディスクにまたがってデータを格納する。エラー検査情報お延びパリティ情報の格納のためには一つ以上の追加ディスクが利用される。

【０００５】タンデムコンピューターインコーポレーテッド社から１９９０年１月に発行されたタンデムテクニカルレポート第９０．２号に記載の「ディスクアレーのパリティストリッピング：許容可能なスループットを具えた廉価かつ高信頼性格納装置」と題するジム　グレー、ボブ　ホースト　およびマーク　ウォルカー共著の記事には別のディスク構成が記載されている。このパリティストリッピングシステムでは、パリティ情報のみがディスク間に分配され、パリティは大きな連続的拡がり

をもつようにマッピングされる。データはディスク間に分割されず、在来の方法で格納される。

【０００６】アレー内の多重ディスクの読み取りおよび書き込みを行うべく多重ディスクドライブを組織化するためには、パリティの発生と検査、データの回復と再構築、および複雑な格納管理技術が必要とされる。これら前記先行技術文献に記載されたディスクアレーシステムの多くは、ホストがＲＡＩＤコントローラとして動作し、パリティの発生と検査その他の格納管理動作を行う。これらの機能をホストに行わせることは、ホストのプロセスセッシングオーバーヘッドとなる点で高価につく。

【０００７】さらに先行技術システムの多くは複数ディスクドライブをホストシステムに相互接続している固定的データ路構造を含んでいる。いろいろの個数のディスクドライブあるいはいろいろのＲＡＩＤ構造を許容するようにディスクアレーシステムを再構築することは、容易には達成できない。

【０００８】

【発明が解決しようとする課題】それゆえ、本発明は新規かつ改良されたディスクアレーコントローラを与えることを課題とする。

【０００９】本発明のもう一つの課題は、ホストシステムとディスクアレーに含まれる個別ディスクドライブとの間に可変データ路を含むアレーコントローラを与えることである。

【００１０】本発明の別の課題は、パリティおよびエラー矯正コードの計算と検査を行うための論理回路を含むディスクアレーコントローラを与えることである。

【００１１】本発明のさらに別の課題は、いろいろの個数のディスクドライブを許容すべく構築できるディスクアレーコントローラのアーキテクチャを与えることである。

【００１２】本発明のさらに別の課題は、いろいろのＲＡＩＤ構造を許容すべく構築できる新規かつ有用な、ディスクアレーコントローラのアーキテクチャを与えることである。

【００１３】

【課題を解決するための手段】本発明によれば、複数ディスクドライブにホストコンピューターをインターフェース（interface、緩衝）するディスクアレーコントローラが与えられる。このコントローラは当該ホストシステムに接続されたホストバスと、当該ディスクアレー内の個別ディスクドライブに関連した複数ドライブバスとの間のデータ通信を監督する。このコントローラは、ホストバスと、ホストバスおよび選択された一以上のバッファバス間でデータ転送するための複数バッファバスとの間に接続されたホストインターフェース手段を含む。このコントローラはさらに、選択された一群のバッファバスを選択された一群のドライブバスに結合するための

ドライブバスと前記バッファバスとの間に接続されたバススイッチを含む。このバススイッチはパリティ発生器を含み、その出力は選択された任意のバッファまたはドライブバスに指向することができる。これらバッファバス上に置かれたデータを格納するとともに格納されたデータをバッファバス上に出力するため、格納バッファが前記複数バッファバスに接続される。

【００１４】上記コントローラアーキテクチャは、内蔵プロセッサおよびＤＭＡ制御論理回路の監督の下に、ホストシステムがＲＡＩＤレベル１、３、または５のプロトコルに従って要求したアレー読み取りおよび書き込みオペレーションを行う。

【００１５】本発明の上記その他の課題、特徴、および利点は以下の説明および添付の図面から明かとなろう。

【００１６】

【実施例】図１を参照すると本発明の好ましい実施例であるディスクアレーコントローラのアーキテクチャがとしてブロック線図で表されている。このコントローラはホストインターフェース兼ＣＲＣ論理回路ブロック２００を介してホストコンピューターシステム（図示して無し）とデータ交換する。ホストインターフェース論理ブロック２００はプロセッサ１０１の制御の下に、このホストシステムに関連する１８ビットもしくは３６ビット幅の外部ＳＣＳＩ－２バス１０７とこのホストシステムの四つの１８ビット幅内部バッファバスＡＢＵＦ、ＢＢＵＦＣＢＵＦ、ＤＢＵＦとの間をインターフェースする。バス１０７は、ブロック１０９Ｕ、１０９Ｌで表す標準的ＳＣＳＩチップのセット（組）および１８ビットバス１１１Ｕ、１１１Ｌを介してホストインターフェース兼ＣＲＣ論理回路２００に接続する（ＣＲＣは cyclic Rdundancy check サイクリック冗長性検査の略）。ブロック２００とプロセッサ１０１との間の相互接続はアドレス／データバス１１３で与えられる。ブロック２００の内部構造および動作は図２および図３を参照して後で詳述する。

【００１７】内部バッファバスＡＢＵＦ、ＢＢＵＦ、ＣＢＵＦおよびＤＢＵＦはホストインターフェース兼ＣＲＣ論理回路ブロック２００をＲＡＭバッファ１２０並びに上部および下部バイトバススイッチ４００Ｕ、４００Ｌに接続する。バッファ１２０は、四つのバッファバスから来る７２ビット幅のワード（語）あるいはこれらのバッファバスのうちの任意の一つから来る各１８ビット幅ワードの読み取りおよび書き込みを行う能力を有する。バス１１３への１８ビットもしくは３６ビットのアクセスもトランシーバ１１５を介して与えられる。

【００１８】バススイッチ４００Ｕ、４００ＬはバッファバスＡＢＵＦ、ＢＢＵＦ、ＣＢＵＦおよびＤＢＵＦと六つの１８ビット幅ドライブバスＡＤＲＶ、ＢＤＲＶ、ＣＤＲＶ、ＤＤＲＶ、ＥＤＲＶ、ＦＤＲＶと間の可変バスマッピングを与える。これらの各スイッチは一バイト

（8ビットデータおよび1ビットパリティ）の情報を経路化（routing）する。バススイッチ４００U、４００Lはさらに、パリティ情報、検査パリティ情報を発生すると共に故障したディスクドライブに格納された情報を再構築する能力を有する。このパリティ情報は任意のバッファもしくはドライブバス上に指向できる。図6ないし図１０は後述するようにバススイッチ４００Uおよび４００Lの内部構造および動作に関する詳細を示す。

【００１９】ドライブバスADRV、BDRV、CDRV、DDRV、EDRV、FDRVの各々は、関連のSCSI-2デバイス１３０Aないし１３０Fに接続される。これらのSCSIデバイスはディスクアレーを形成する六つの対応ディスクドライブ（図示して無し）への接続を与える。これらの六つのドライブは文字Aないし Fで識別することにする。バスADRVとBDRVの間、CDRVとDDRVの間、およびEDRVとFDRVの間には、それぞれ１６ビットのリード-ソロモン サイクリック冗長性検査（Reed-Solomon Cyclic Redundancy Check, RSCRC16）論理ブロック５００AB、５００CDおよび５００EFが接続され、本アレーコントローラに供するためのリード ソロモン CRCのエラー発生／検出信号を与える。

【００２０】ホストインターフェース論理回路ブロック２００、バススイッチ４００U、４００L、RSCRC１６論理ブロック５００AB、５００CD、５００EF、SCSIデバイス１０９U、１０９L、１３０Aないし１３０Fの制御はマイクロプロセッサ１０１が行う。。プロセッサ１０１、関連のプロセッサメモリ１０３、プロセッサ制御入力端１０５と上記素子との間の通信はアドレス／データバス１１３により与えられる。また図に示すようにバス１１３にはDMA制御論理ブロック３００が接続されている。図4、図5に詳細に示すようにこのブロック３００内の論理回路はホストインターフェース論理回路ブロック２００、バススイッチ４００U、４００L、SCSIデバイス１３０Aないし１３０F、およびプロセッサ１０１に対するDMA制御を与える。

【００２１】ホストインターフェース論理回路ブロック２００、DMA制御論理ブロック３００、バススイッチ４００U、４００Lおよび５００AB、５００CD、５００EFに含まれる論理回路およびその動作を以下に説明する。

【００２２】図2、図3は一体となって、図1のホストインターフェース論理ブロック２００に含まれる論理回路をブロック線図で示す。このホストインターフェース論理回路ブロック２００は六つの主要な型式の内部論理ブロックである制御兼ステータスレジスタ２０１、SCSI-2 DMAバスハンドシェーキング（handshaking）論理回路２０３、バッファバス DMAハンドシェーキング論理回路２０５、FIFOブロック２０７Aないし２０７D、パリティ検査ブロック２０９U、２０９L、およびパリティ検査兼CRC発生ブロック２１１Aないし２１１Dを含む。

【００２３】制御兼ステータスレジスタブロック２０１は、ホストインターフェース論理回路ブロック２００の構築、制御、およびリセットを行うための１６ビット制御レジスタをいくつか含む。ブロック２０１はまたホストインターフェース論理ブロック２００のステータスを決定するため、コントローラマイクロプロセッサ１０１によって使用されるステータスレジスタを含む。ブロック２０１内の制御兼ステータスレジスタへのマイクロプロセッサのアクセスは、多重アドレス／データバスAD（0-7）、データバスD（8-15）、並びにチップ選択信号CS／、読み取り信号RD／、書き込み信号WR／、アドレスラッチイネーブル信号ALE、および中断信号INT／を送信するためのいろいろの制御線により与えられる。バスAD（0-7）およびD（8-15）は図1のアドレス／データバス１１３に含まれる。

【００２４】ブロック２０３はホストインターフェース論理回路ブロック２００とSCSI-2デバイス１０９U、１０９Lとの間のDMAを実行するに必要なSCSI-2DMAバスハンドシェーキング論理回路を含む。このハンドシェーキング論理回路もまた、SCSIデバイス１０９U、１０９LとFIFO２０７Aないし２０７Dとの間のデータ多重化および多重化解除を制御する。ブロック２０３はまた、FIFOが空ステータスかもしくはフルステータスかに応じて、リクエスト／肯定応答（acknowledge）ハンドシェーキングを変調する。バッファバス DMAハンドシェーキング論理回路２０５も、ホストインターフェース論理回路ブロックと外部バッファバスコントローラとの間のDMA転送を制御するため、同様のハンドシェーキング論理回路を含む。

【００２５】四つのFIFOブロック２０７Aないし２０７Dは、ホストインターフェース論理ブロックとバッファABUF、BBUF、CBUF、およびDBUFとの間のハンドシェーキング依存性を除去するのに利用される。FIFOブロック２０７A、２０７Bは各々バス１１１Uとバッファバス ABUF、BBUFとの間に接続される。FIFOブロック２０７C、２０７Dは各々バス１１１Uとバッファバス CBUF、DBUFとの間に接続される。もしも本コントローラアーキテクチャがSCSIバス拡張デバイス１０９Lおよび関連のバス１１１Lを含むなら、ブロック２０７B、２０７Dもまたバス１１１Lに接続される。これらFIFOブロックの構成および動作はブロック２０１内のレジスタにより制御される。各FIFOブロックは四つの１８ビットワード（１６ビットのデータおよび2ビットのパリティ）まで格納することができる。

【００２６】ブロック２０９U、２０９Lはホストインターフェース論理ブロックとSCSI--2デバイス１０

９Ｕ、１０９Ｌとの間で送信されるすべての情報に対しパリティ検査を与える。これらブロックはデータ転送についてのパリティ情報を発生し、発生したパリティ情報を、当該データと共に送信されるパリティ情報と比較する。

【００２７】ブロック２１１Ａないし２１１Ｄはホストインターフェース論理ブロックと対応のバッファパスとの間のデータ転送に対するパリティ検査を与える。ブロック２１１Ａないし２１１Ｄはまた、ＤＭＡデータブロックにＣＲＣデータを発生し付加すると共に、ＤＭＡデータブロックのＣＲＣデータを検査し付加除去するように機能する。

【００２８】作用上、ホストインターフェース論理回路ブロック２００はＳＣＳＩ-２デバイス１０９Ｕ、１０９Ｌと四つのバッファＡＢＵＦ、ＢＢＵＦ、ＣＢＵＦ、およびＤＢＵＦとの間のデータを多重化するのに使用される。ブロック２００はバス１１１Ｕ、１１１Ｌと、次の（1）ないし（3）のパスとの間の多重機能を与える：（1）４＋１個のＲＡＩＤレベル３のアプリケーションに供する四つのすべてのバッファパス（これらは、回転シーケンス順序（rotating sequential order）に従って四つのバッファＡＢＵＦ、ＢＢＵＦ、ＣＢＵＦ、およびＤＢＵＦにまたがるデータをワードストリッピング（word stripping）することにより行う）、（2）２＋１個のＲＡＩＤレベル３のアプリケーションに供する、二対のバッファパスの一対（これは、回転シーケンス順序に従って前記対にまたがるデータをワードストリッピングすることにより行う）、（3）ＲＡＩＤレベル１のアプリケーションおよび単一パスＲＡＩＤ５アプリケーションに供するパスの任意の一つ。

【００２９】線図４および５は一体として図１のＤＭＡ制御論理ブロック３００内に含まれる論理回路を示す。ＤＭＡ制御論理ブロック３００は、四つの主要な部分であるマイクロプロセッサインターフェース３０１、ＤＭＡインターフェース３２１、バッファインターフェース３４１、およびＣＲＣ制御インターフェース３６１に分割される。

【００３０】マイクロプロセッサインターフェース３０１は次に掲げる機能を果たすべく設計されたいろいろのインターフェース回路を含む。イ．内部レジスタ読み取りおよび書き取り制御（ブロック３０３）、ロ．アドレスラッチングおよび復号（ブロック３０５）、ハ．マイクロプロセッサデータバス制御、ニ．中断発生および制御（ブロック３０７）、ホ．バッファアクセスに対する待機状態発生（ブロック３０９）。ブロック３０１へのマイクロプロセッサのアクセスは、多重化されたアドレス／データバスＡＤ（0-１５）、アドレスバスＡＤＤＲ（１６-２１）、並びに送信アドレスラッチイネーブル信号ＡＬＥ／、チップ選択信号ＣＳ／、読み取り信号ＲＤ／、書き込み信号ＷＲ／、バッファイネーブル信号

ＢＥ１／、ＢＥ２／、バッファチップ選択信号ＰＢＦＣＳ／、バッファ指向信号ＢＤＩＲ、準備完了信号ＲＤＹ／、および中断信号ＩＮＴ／に対するいろいろの制御線により、与えられる。バスＡＤ（0-１５）およびＡＤＤＲ（１６-２１）は図１のアドレス／データバス１１３内に含まれる。

【００３１】ＤＭＡインターフェース３２１は、ホストインターフェース論理回路ブロック２００の緩衝に必要な回路およびバススイッチ４００Ｕ、４００Ｌを介してＳＣＳＩ-２デバイス１３０Ａないし１３０Ｆを駆動するに必要な回路をすべて含む。このＤＭＡインターフェースは次の機能行う：イ．アクティブＤＭＡチャンネル間のアービトレーション（arbitration、調停）（ブロック３２３）、ロ．ＤＭＡサイクル信号の発生、ハ．ＤＭＡリンクの実行。ブロック３２１との通信は、ホストＤＭＡリクエスト信号ＨＤＲＥＱ、ホストＤＭＡストローブ信号ＨＤＳＴＢ／、ターゲットＤＭＡリクエスト信号ＴＤＲＥＱ、ターゲットＤＭＡストローブ信号ＴＤＳＴＢ、バススイッチ出力イネーブル信号ＢＰＯＥ／、ＤＰＯＥ／、プロセッサラッチイネーブル信号ＰＬＥ／、およびプロセッサポート出力イネーブル信号ＰＰＯＥ／を送信するための制御線を通して与えられる。

【００３２】バッファインターフェース３４１は、ブロック３００をＲＡＭバッファ１２０にインターフェースする回路を含む。インターフェース３４１は次の機能を支持する。イ．最大４メガバイトまでのバッファアドレス空間をアドレス指定すること、ロ．バッファ読み取り／書き込みオペレーションの制御、ハ．各ＤＭＡチャンネルに対するバッファチップ選択の制御。バッファインターフェース３４１との通信は、バッファアドレスバスＢＡＤＤＲ（0-１８）と、バッファ読み取り／書き込み信号ＢＵＦＲＤ／、ＢＵＦＷＲ／、バッファチップ選択信号ＡＢＵＦＣＳ／、ＢＢＵＦＣＳ／、ＣＢＵＦＣＳ／、ＤＢＵＦＣＳ／の送信に対する制御線とにより、与えられる。

【００３３】ＣＲＣ制御インターフェース３６１は外部ＣＲＣ発生器および検査器に対する制御を与える。インターフェース３６１は外部ＣＲＣチップをイニシャライズするためのリセット信号を与え、外部ＣＲＣの検査および発生をイネーブル化する。インターフェース３６１との通信はホスト解除（clear）、検査、およびシフトのための信号ＨＣＲＣＣＬＲ／、ＨＣＲＣＣＨＫ／、ＨＣＲＣＳＨＦＴ／、およびターゲットの解除、検査およびシフトの信号ＴＣＲＣＣＬＲ／、ＴＣＲＣＣＨＫ／、ＴＣＲＣＳＨＦＴ／を送信するための制御線により与えられる。

【００３４】ＤＭＡ制御論理ブロック３００はまた、ブロック３００にタイミング、リセット、およびテスト機能を与えるシステムおよびテストブロック３８１を含む。

11

【００３５】動作上、このＤＭＡ制御論理ブロックはホストインターフェース論理回路ブロック２００、バススイッチ４００Ｕ、４００Ｌ、ＳＣＳＩ-2デバイス１３０Ａないし１３０Ｆ、プロセッサ１０１に供するＤＭＡおよびバッファ制御を与える。このＤＭＡ制御論理ブロックは周辺機器としてマイクロプロセッサ１０１と通信し、内部レジスタの読み取りと書き込みにより制御される。この論理回路は次に掲げる型式のデータ転送を支持する。イ．ホスト読み取り（バッファ１２０のデータがＳＣＳＩホストに送られる）、ロ．ホスト書き込み（ホストから受信したデータがバッファ１２０に書き込まれる）、ハ．ターゲット読み取り（ドライブアレーから読まれたデータがバッファ１２０に書き込まれる）、ニ．ターゲット書き込み（バッファ１２０のデータがドライブアレーに書き込まれる）、ホ．直接書き込み（ＳＣＳＩホストから受信したデータがバッファ無しにドライブアレーに送られる）、ヘ．直接読み取り（ドライブアレーから読み取られたデータがバッファ無しにＳＣＳＩホストへ送られる）、ト．プロセッサによる読み取り、チ．プロセッサによる書き込み。

【００３６】バススイッチ４００内に含まれる論理回路は図６に線図で示してある。図示した構造は単一半導体チップ上に形成される。番号４８１ないし４８４で示す四つのホストポートはそれぞれ四つのコントローラＡＢＵＦ、ＢＢＵＦ、ＣＢＵＦ、およびＤＢＵＦへの接続を与える。番号４９１ないし４９６で示すアレーポートはそれぞれ六つのディスクドライブバスＡＤＲＶ、ＢＤＲＶ、ＣＤＲＶ、ＤＤＲＶ、ＥＤＲＶ、ＦＤＲＶに接続する。バススイッチ４００はＡＢＵＦ、ＢＢＵＦ、ＣＢＵＦ、およびＤＢＵＦの任意の一つと、ドライブバスＡＤＲＶ、ＢＤＲＶ、ＣＤＲＶ、ＤＤＲＶの任意の一つとの間の単方向接続を与える。いくつかのコントローラバスおよび同数のドライブバスとの間の多重接続も許される。さらに、このバススイッチは、二つ以上のドライブバスに至る任意コントローラバスの単方向接続を与えることができる。バス４５３を介して得られるパリティ情報は、ドライブバスの任意の一つに出力することもできる。

【００３７】バススイッチ４００のアーキテクチャは三つの主要ブロック、すなわちラッチモジュール４５０、スイッチモジュール４６０、パリティモジュール４７０、から構成される。ラッチモジュール４５０、スイッチモジュール４６０、およびパリティモジュール４７０の内部構造はそれぞれ図７ないし図１０に明らかにされている。図７を見ると、ラッチモジュール４５０は番号４０１ないし４０４を付した四つのラッチを含むことが解かる。これらのラッチはそれぞれバスＢＰＡＩＮ、ＢＰＢＩＮ、ＢＰＣＩＮ、ＢＰＤＩＮからデータを受信し、ラッチしたデータをバスＢＰＡＩＮＬ、ＢＰＢＩＮＬ、ＢＰＣＩＮＬ、ＢＰＤＩＮＬを介してスイッチモジュール４６０に与えるべく接続される。

12

【００３８】ラッチモジュール４５０はさらに、バスＢＰＡＯＵＴ、ＢＰＢＯＵＴ、ＢＰＣＯＵＴ、ＢＰＤＯＵＴ、ＰＡＲＩＮを介して、スイッチモジュール４６０からデータを受信すべく接続された五つのバスラッチ４１１ないし４１５を含む。ラッチ４１１ないし４１４の出力はそれぞれバスＢＰＡＯＵＴＬ、ＢＰＢＯＵＴＬ、ＢＰＣＯＵＴＬ、ＢＰＤＯＵＴＬに与えられる。ラッチ４１５の出力はバスＰＡＲＩＮＬを介してパリティモジュール４６０に接続される。

【００３９】ラッチ４０１ないし４０４および４１１ないし４１５は受信したデータをラッチし、もしくは通過させるべくコントローラにより発生された制御信号に応答する。また図７には番号４２１ないし４２４および４３１ないし４３５で示す、各ラッチの出力端に接続されたパリティ検査回路が示されている。各パリティ検査回路はパリティエラーが検出される度にエラー信号を発生する。

【００４０】図８および図９は図６に示すスイッチモジュール４６０の内部構造を示すブロック線図である。モジュール４６０は六つの５：１マルチプレクサ４４１ないし４４６を含む。各マルチプレクサの対応入力端はバスＢＰＡＩＮＬ、ＢＰＢＩＮＬ、ＢＰＣＩＮＬ、ＢＰＤＩＮＬ、およびパリティモジュール４７０の出力端ＰＡＲＯＵＴに接続される。マルチプレクサの出力端４４１ないし４４６はそれぞれバスＤＰＡＯＵＴ、ＤＰＢＯＵＴ、ＤＰＣＯＵＴ、ＤＰＤＯＵＴ、ＤＰＥＯＵＴ、およびＤＰＦＯＵＴに接続される。

【００４１】スイッチモジュール４６０はさらに、番号４５１ないし４５４で示す四つの７：１バスマルチプレクサを含む。各マルチプレクサ４５１ないし４５４の対応入力端は、バスＤＰＡＩＮ、ＤＰＢＩＮ、ＤＰＣＩＮ、ＤＰＤＩＮ、ＤＰＥＩＮ、ＤＰＦＩＮ、およびＰＡＲＯＵＴに接続される。バスＤＰＡＩＮ、ＤＰＢＩＮ、ＤＰＣＩＮ、ＤＰＤＩＮ、ＤＰＥＩＮ、ＤＰＦＩＮには６：１マルチプレクサ４５５の入力端も接続される。マルチプレクサ４５１ないし４５５の出力端はそれぞれ、バスＢＰＡＯＵＴ、ＢＰＢＯＵＴ、ＢＰＣＯＵＴ、ＢＰＤＯＵＴ、およびＰＡＲＩＮに接続される。

【００４２】各マルチプレクサ４４１ないし４４６は、バスＢＰＡＩＮＬ、ＢＰＢＩＮＬ、ＢＰＣＩＮＬ、ＢＰＤＩＮＬ、およびＰＡＲＯＵＴの任意の一つをこれらマルチプレクサの対応出力バスに接続するため、コントローラにより発生された選択信号に応答する。同様にして、マルチプレクサ４５１ないし４５５は各々、コントローラにより発生された選択信号に応答して、バスＤＰＡＩＮ、ＤＰＢＩＮ、ＤＰＣＩＮ、ＤＰＤＩＮ、ＤＰＥＩＮ、ＤＰＦＩＮおよびＰＡＲＯＵＴの任意の一つを、これらマルチプレクサの出力端に接続されたバスに接続する。

【００４３】パリティモジュール４７０の内部構造は図１０のブロック線図に例示されている。モジュール４７０は四つの４：１マルチプレクサ４６１ないし４６４を含む。マルチプレクサ４６１はバスＢＰＡＩＮＬ、ＢＰＡＯＵＴＬ、ＰＡＲＩＮＬ、およびＢＰＡＯＵＴからデータを受信すべく接続される。マルチプレクサ４６２はバスＢＰＢＩＮＬ、ＢＰＢＯＵＴＬ、ＰＡＲＩＮＬ、およびＢＰＢＯＵＴからデータを受信すべく接続される。マルチプレクサ４６３はバスＢＰＣＩＮＬ、ＢＰＣＯＵＴＬ、ＰＡＲＩＮＬ、およびＢＰＣＯＵＴからデータを受信すべく接続される。そしてマルチプレクサ４６４はバスＢＰＤＩＮＬ、ＢＰＤＯＵＴＬ、ＰＡＲＩＮＬ、およびＢＰＤＯＵＴからデータを受信すべく接続される。

【００４４】パリティ情報を計算し、検査し、選択したバスについて排他ＯＲビット演算を行うことによりドライブデータが再構築される。モジュール４７０はマルチプレクサ４６１、４６２の出力を結合するための第一排他的ＯＲ回路４７１、マルチプレクサ４６３、４６４の出力を結合すべく接続された第二排他的ＯＲ回路４７２、および排他的ＯＲ回路４７１、４７２の出力を結合するための第三排他的ＯＲ回路４７５を含む。パリティモジュール４７０の出力は、前記三つの排他的ＯＲ回路の出力を受信すべく接続された３：１マルチプレクサ４７９により与えられる。マルチプレクサ４７９の出力はバススイッチ４６０に与えられ、上述したように次いでスイッチ４６０がこのパリティデータを任意のコントローラに指向させ、もしくはバスを駆動することができる。

【００４５】マルチプレクサ４６１ないし４６４はコントローラにより発生された選択信号に応答して選択されたデータバスを排他的ＯＲ回路４７１、４７２に結合する。マルチプレクサ４７９はコントローラにより発生された選択信号に応答して排他的ＯＲオペレーションに含まれるバスの数を制限する。例えばＲＡＩＤレベル３、４、もしくは５の書き込みオペレーションでは四つのバスから受信するデータを結合してパリティを発生できる一方、ＲＡＩＤレベル１に従って構成されたアレー内に保存されたデータを検査するためにはただ二つのバスを結合すれば足りる。

【００４６】図１１は図１に示すリード-ソロモン サイクリック冗長性検査（ＲＳＣＲＣ１６）ブロック５００ＡＢに含まれる論理回路のブロック線図である。ＲＳＣＲＣ１６ブロックＲＳＣＲＣ１６　５００ＡＢはドライブバスＡＤＲＶ、ＢＤＲＶ上のデータ転送のためのエラー検査を支持（support）する。このブロックは三つの主要部分、すなわち、マイクロプロセッサインターフェース５０１、ＡＤＲＶバスＲＳＣＲＣ１６検査器／発生器５０３、およびＢＤＲＶバス用ＲＳＣＲＣ１６検査器／発生器５０５、を含む。

【００４７】マイクロプロセッサインターフェース５０１は、内部レジスタ読み取りと書き込みの制御、アドレスラッチングと復号、および中断発生と制御という機能を果たすべく設計されたいろいろのインターフェース回路を含む。ブロック５０１へのマイクロプロセッサのアクセスは、多重化されたアドレス／データバス１１３、およびチップ選択信号ＣＳ／、中断信号ＩＮＴ／、読み取り信号ＲＤ／、書き込み信号ＷＲ／等の制御信号を送信するための線により与えられる。

【００４８】ＲＳＣＲＣ１６発生器／検査器モジュール５０３、５０５はそれぞれバスＡＤＲＶ、ＢＤＲＶに対するエラー検査を行う。各モジュールは、その対応のドライブバスから来るデータと、対応のドライブインターフェース４９１、４９２から来るストローブロック信号ＡＳＴＢ／、ＢＳＴＢ／と、ＣＲＣ制御インターフェース３６１から来る検査信号ＡＣＨＥＣＫ／、ＢＣＨＥＣＫ／と、シフト信号ＡＳＨＩＦＴ／、ＢＳＨＩＦＴ／を受信すべく接続される。ＲＳＣＲＣ１６発生器／検査器モジュールのブロック線図は図１２に例示されている。モジュール５０３および５０５は同一である。

【００４９】ＲＳＣＲＣ１６発生器／検査器モジュールは、データインラッチ（data-in latch）５３４からデータを受信すべく接続された排他的ＯＲ回路（図面のＸＯＲ）５２１と、アキュミュレータラッチ５２２とを含む。ラッチ５３４はこのモジュールの対応のドライブバスから受信したデータを収容する。アキュミュレータラッチ５２２にはコントローラマイクロプロセッサにより与えられるシードデータ（seed data）またはアルファマルチプレクサ５２８から得られるフィードバックデータのいずれかを負荷することができる。排他的ＯＲ回路５２１の出力端はアルファマルチプレクサ５２８への入力端を形成する。

【００５０】図１２のＲＳＣＲＣ１６発生器／検査器モジュールの動作は次の通りである。（１）シードデータがアドレス／データバス１１３からシードラッチ５２５中に負荷される。このシード値は特定のエラー検出コード（ＥＤＣ）特性を生ずるように選択される。（２）ドライブバス上に現われる入力データがデータインラッチ５３４中にラッチ留めされ、フィードデータがアキュミュレータラッチ５２２中にラッチ留めされる。（３）アキュミュレータラッチ５２２内のデータがデータインラッチ５３４内のデータと排他的ＯＲ演算（ＸＯＲ演算）されてその結果がアルファマルチプレクサ５２８に与えられる。（４）一組の非同期論理回路を含むアルファマルチプレクサ５２８が到来データに予定の固定数を乗算する。（５）アルファマルチプレクサ５２８の出力がアキュミュレータラッチ５２２中にラッチ留めされる。

【００５１】ステップ２ないし４はドライブバス上のデータ転送が完了するまで反復される。発生モードオペレーションにおいてはアキュミュレータラッチ５２２中にラッチ留めされた最終値が、転送されたデータと共にト

ランシーバ５３２を経由して格納のためドライブバスへ与えられる。検査モードにおいてはエラーが全く検出されなかったことを示す全ゼロ条件（all sero condition）があるか否かについてアルファマルチプレクサ５２８の最終出力ga検査される。論理回路５２６がゼロ検出オペレーションを行う。

【００５２】図示し、上述したコントローラアーキテクチャはホストシステムとアレー状ディスクドライブとの間の汎用性ある接続を与える。本コントローラアーキテクチャ内に含まれるデータスイッチおよびデータ処理（data manipulation）コンポーネントはＲＡＩＤレベル１、３、４、５に基づくデータ格納およびデータ取り出しオペレーションを可能にする。また、エラー回復、故障ドライブ上に格納された情報データの再生、および予備ドライブ上へのデータ再構築を支持する。

【００５３】上記のオペレーションのいくつかに関し以下に論ずる。

【００５４】ＲＡＩＤレベル３の、４＋１個（四つのデータディスクおよび一つのパリティディスク）の書き込みオペレーションは次のように行われる。バス１０７経由でホストシステムから受信したデータは１８ビットワード（１６ビットのデータと２ビットのパリティ情報）に分割され、ホストインターフェース２００によりバッファバスＡＢＵＦ、ＢＢＵＦ、ＣＢＵＦ、およびＤＢＵＦ上に多重化され、バッファ１２０中に書き込まれる。このデータはバッファ１２０から除去されるとき、バススイッチ４００Ｌ、４００Ｕにより四つのドライブバス、例えばバスＡＤＲＶ、ＢＤＲＶ、ＣＤＲＶ、ＤＤＲＶへ送られる。これらのバススイッチはまた、これら四つのバッファバスから受信した情報の排他的ＯＲビット演算を行うことによりパリティ情報を計算する。計算されたパリティ情報はバスＥＤＲＶを経由してディスクドライブＥへ送られる。第六ディスクドライブであるドライブＦは予備ドライブとして保全される。

【００５５】ＲＡＩＤレベル３読み取りオペレーションはドライブバスＡＤＲＶ、ＢＤＲＶ、ＣＤＲＶ、ＤＤＲＶを介して四つのデータドライブ、すなわちドライブＡないしＤ、からデータを読み取ることにより行われる。このデータはバススイッチ４００Ｌ、４００Ｕ、バッファバスＡＢＵＦ、ＢＢＵＦ、ＣＢＵＦ、およびＤＢＵＦを通してバッファ１２０に与えられる。別のオペレーションにおいてデータがこのバッファから読み取られ、ホストインターフェース２００へ送られる。インターフェース２００は受信した６４ビットのデータをホストシステムへ送信するため、１６ビットまたは３２ビット（パリティ情報を除く）の型式に変換する。バススイッチ内でパリティドライブＥから得た対応の情報がデータドライブから読み込まれたデータとの間で排他的ＯＲ演算（ＸＯＲ演算）され、ドライブＡないしＤから読まれたデータのパリティ検査が行われる。

【００５６】ディスクドライブの一つの故障のためにアクセス不可能であるデータはこの読み取りオペレーションの期間に再生できる。例えば、もしもドライブＣが故障したとすると、データドライブＡ、ＢおよびＤから読み取られたデータはバススイッチパリティ論理モジュール内で、ドライブＥから得られたパリティ情報と結合することができ、その結果ドライブＣのデータを再生することができる。再生されたデータはバッファバスＣＢＵＦ上に配され、ドライブＡ、ＢおよびＤから得たデータと共にバッファバスＡＢＵＦ、ＢＢＵＦおよびＤＢＵＦ上に置かれ、バッファ１２０に与えられ、究極的には必要な変換とホストシステムへの送信とを行うため、ホストインターフェース２００に与えられる。この代わりとして、コントローラアーキテクチャは再生データを予備ドライブＦに与えるよう構成することもできる。

【００５７】ＲＡＩＤレベル５の書き込みオペレーションは読み取り手順および書き込み手順の両方を含む。データ路は、前の（古い）データおよび前のパリティ情報をターゲットデータおよびパリティディスクドライブから最初に読み取るべく構成されなければならない。前のデータおよびパリティ情報はバススイッチパリティ論理モジュール内でＸＯＲ演算され、その結果は選択したバッファバスを介して格納バッファ１２０へ与えられる。このオペレーションの期間中、ホストシステムから受信した新規のデータもまた、バッファ１２０へ書き込まれる。これらのデータ路は次いで該新規なデータとＸＯＲ演算されてバッファ１２０に格納された結果をバススイッチへ与えるべく構成される。この新規データはターゲットデータドライブへ送られる。新規パリティはバッファ１２０から受信されるＸＯＲ演算済み結果と新規データとをＸＯＲ演算することにより発生され、パリティドライブへ送られる。

【００５８】ＲＡＩＤレベル５の読み取りオペレーションは、リクエストされたデータを含むドライブからデータを読み取りこのデータをバススイッチおよびホストインターフェースを介してバス１０７上に送ることにより行われる。例えば、もしもリクエストされたデータがドライブＢ内に格納されていれば、ドライブＡからバスＢＤＲＶ、バススイッチ４００Ｕ、４００Ｌ、バッファバスＢＢＵＦ、およびホストインターフェース２００を経由してホストバス１０７につなげるデータ路を本コントローラアーキテクチャが構築する。もしもリクエストされたデータが、当該データを収容するディスクドライブ（すなわちドライブＢ）の故障のためにアクセス不可能であれば、そのデータは残りのドライブＡ、Ｃ、ＤおよびＥ上の対応ロケーションから、バススイッチパリティ論理モジュール中に当該データおよびパリティ情報を読み取ることにより、読み取り期間中に再生できる。その再生されたデータすなわちパリティモジュールのＸＯＲ演算出力は、バッファバスＢＢＦ（任意に選択したも

の）を経由してバッファ１２０へ、そしてさらにその後ホストインターフェース２００およびバス１０７へ、与えられる。

【００５９】二つの独立なＲＡＩＤレベル５の読み取り-修正-書き込みオペレーションが、上記コントローラアーキテクチャによりほぼ同時的に行うことができる。ただしそれは二つのオペレーションが異なるデータドライブおよびパリティドライブへのアクセスを要求する場合に限る。このデータ路はまず、前のデータおよび前のパリティ情報をターゲットデータドライブおよびパリティディスクドライブから読み取るよう構成されなければならない。前のデータおよびパリティ情報、並びにホストから受信した新規データは、パススイッチパリティ論理モジュール内でＸＯＲ演算され、その結果すなわち新規パリティ情報は、選択したバッファバスを経由して格納バッファ１２０へ与えられる。このオペレーションの期間、ホストシステムから受信した新規データもバッファ１２０に書き込まれる。第二書き込みの対象となるデータおよびパリティ情報も上記の方法によりバッファ１２０に書き込まれる。読み取り-修正-書き込みオペレーションを完了するため、バッファ１２０内に格納されている新規データおよびパリティ情報をパススイッチを通してターゲットデータおよびパリティドライブに与えるよう、データ路が構築される。

【００６０】

【効果】以上述べたところから、本発明により新規かつ有用なディスクアレーコントローラアーキテクチャを与えることができることが了解される。このアーキテクチャは大きさの異なる、あるいは構造の異なるディスクドライブを許容するように即構築することができる。

【００６１】また本コントローラは上記のようにストリッピングオペレーション、パリティ発生およびパリティ検査のほか、格納管理オペレーション、およびこれらの機能からのシステムプロセッサの解除を行うことができる。

【００６２】さらにまたまた本コントローラアーキテクチャ内に含まれるデータスイッチおよびデータ処理（data manipulation）コンポーネントは、ＲＡＩＤレベル１、３、４、５に基づくデータ格納およびデータ取り出しオペレーションを可能にする。また、エラー回復、故障ドライブ上に格納された情報データの再生、および予備ドライブ上へのデータ再構築を支持する。

【００６３】尚、本発明を上記実施例について説明したが、前記特許請求の範囲内で種々の変更が可能であることを了解されたい。

【図面の簡単な説明】

【図１】本発明の好ましい実施例に基づくディスクアレーコントローラのアーキテクチャを示すブロック線図である。

【図２】図１に示すホストインターフェース論理ブロック２００に含まれる論理回路のブロック線図の一部である。

【図３】図１に示すホストインターフェース論理ブロック２００に含まれる論理回路のブロック線図の残りの一部である。

【図４】図１に示すＤＭＡ制御論理ブロック３００内に含まれる論理回路のブロック線図の一部である。

【図５】図１に示すＤＭＡ制御論理ブロック３００内に含まれる論理回路のブロック線図の残りの一部である。

【図６】図１に示すパススイッチブロック４００Ｕ内に含まれる論理回路のブロック線図である。

【図７】図６に示すラッチモジュールのブロック線図である。

【図８】図６に示すスイッチモジュールの内部構造を示すブロック線図の一部である。

【図９】図６に示すスイッチモジュールの内部構造を示すブロック線図の残りの一部である。

【図１０】図６に示すパリティモジュールのブロック線図である。

【図１１】図１に示すリード-ソロモン　サイクリック冗長性検査（ＲＳＣＲＣ１６）ブロック５００ＡＢ内に含まれる論理回路のブロック線図である。

【図１２】図１１に示すＲＳＣＲＣ１６　発生器／検査器モジュール５０３のブロック線図である。

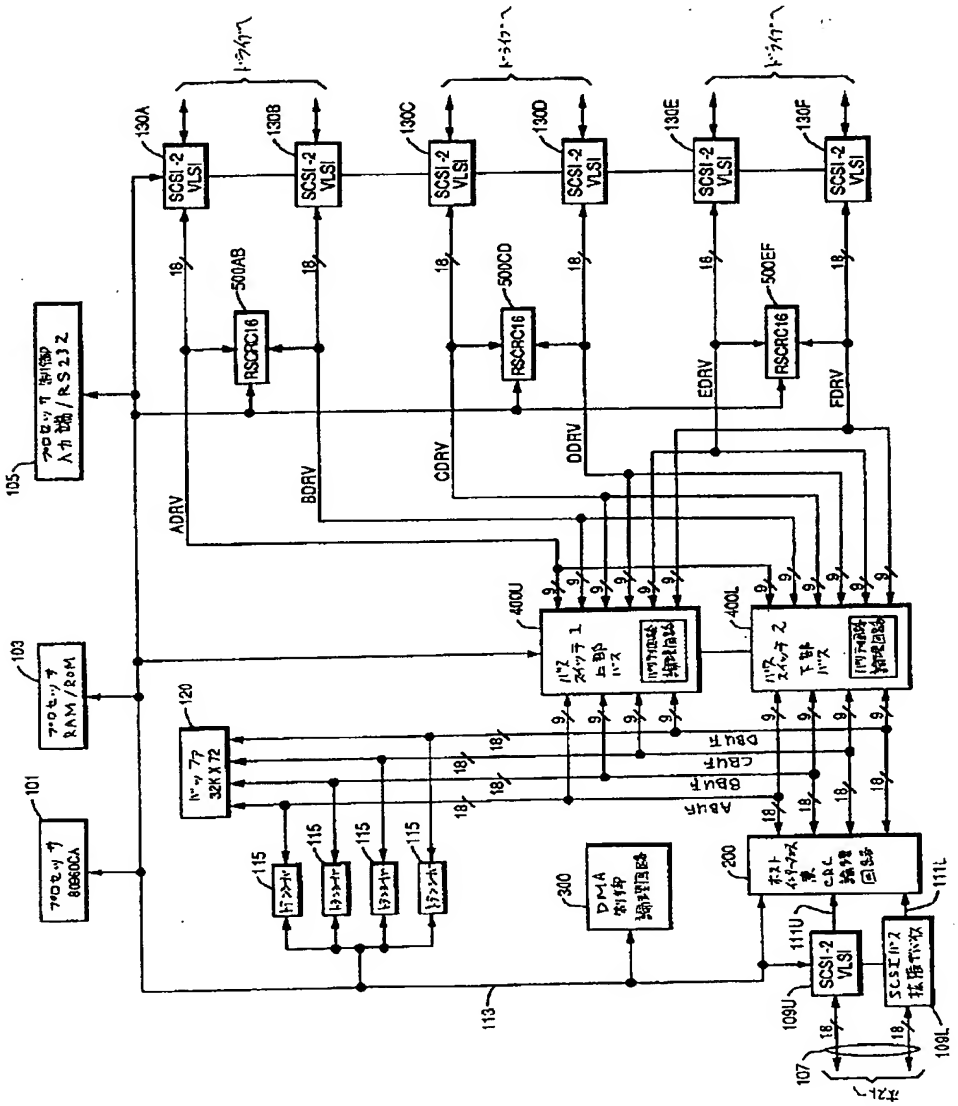
【符号の説明】

１０７　外部ＳＣＳＩ-２バス

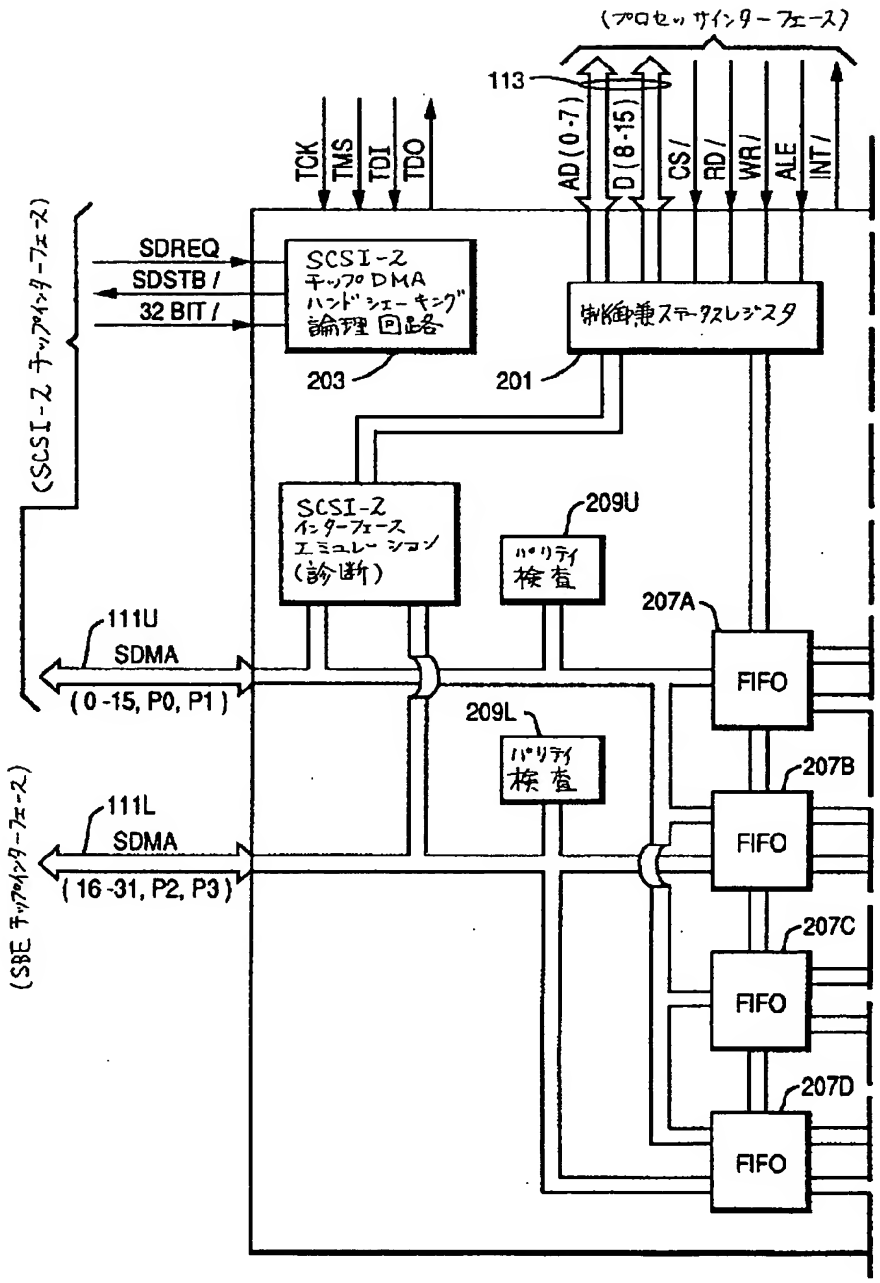
１１３　アドレス／データバス

５００ＡＢ、５００ＣＤ、５００ＥＦ　サイクリック冗長性検査論理ブロック

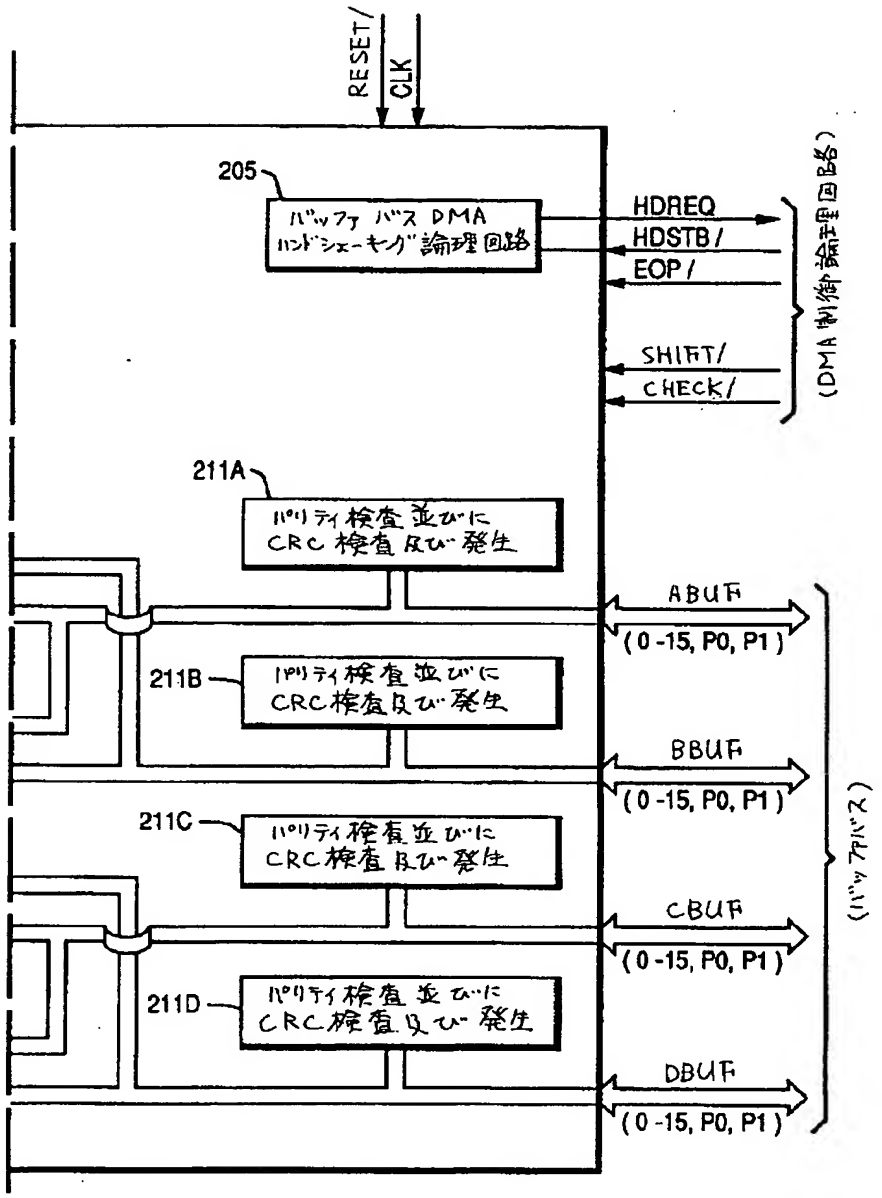
【図1】


SCSI-2 VLSI
130A
130B
130C
130D
130E
130F
500AB
500CD
500EF
RSCRC16
ADRV
BDRV
CDRV
DDRV
EDRV
FDRV
400U
400L
120
300
200
111U
111L
109U
109L
113
107
115
18
9

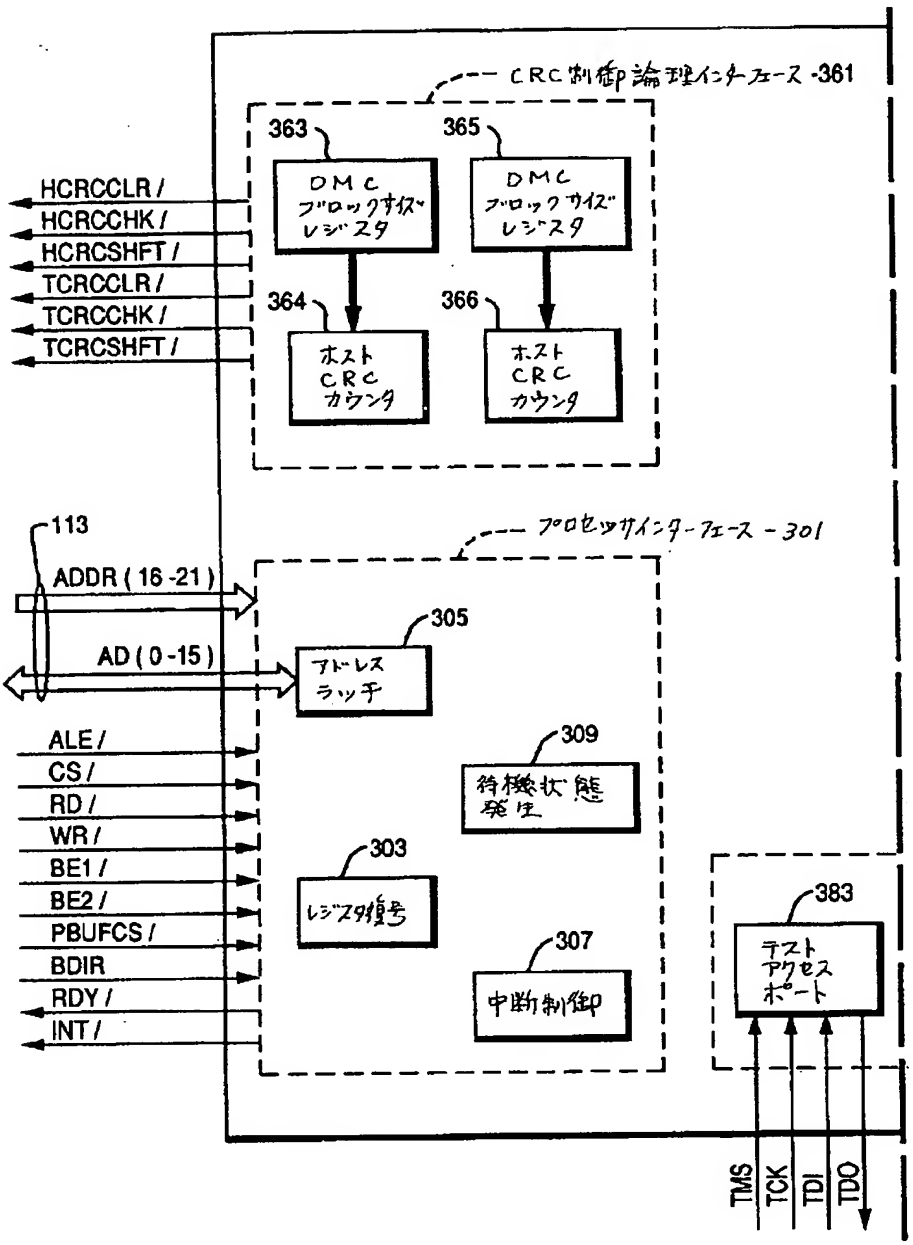
【図2】


(プロセッサインターフェース)
113
TCK
TMS
TDI
TDO
AD(0-7)
D(8-15)
CS/
RD/
WR/
ALE
INT/
(SCSI-2 チップインターフェース)
SDREQ
SDSTB/
32 BIT/
SCSI-2 チップDMA ハンドシェーキング" 論理回路
203
制御兼ステータスレジスタ
201
SCSI-2 インターフェース エミュレーション (診断)
209U
パリティ検査
207A
111U
SDMA
(0-15, P0, P1)
FIFO
209L
パリティ検査
207B
111L
SDMA
(16-31, P2, P3)
FIFO
(SBE チップインターフェース)
207C
FIFO
207D
FIFO

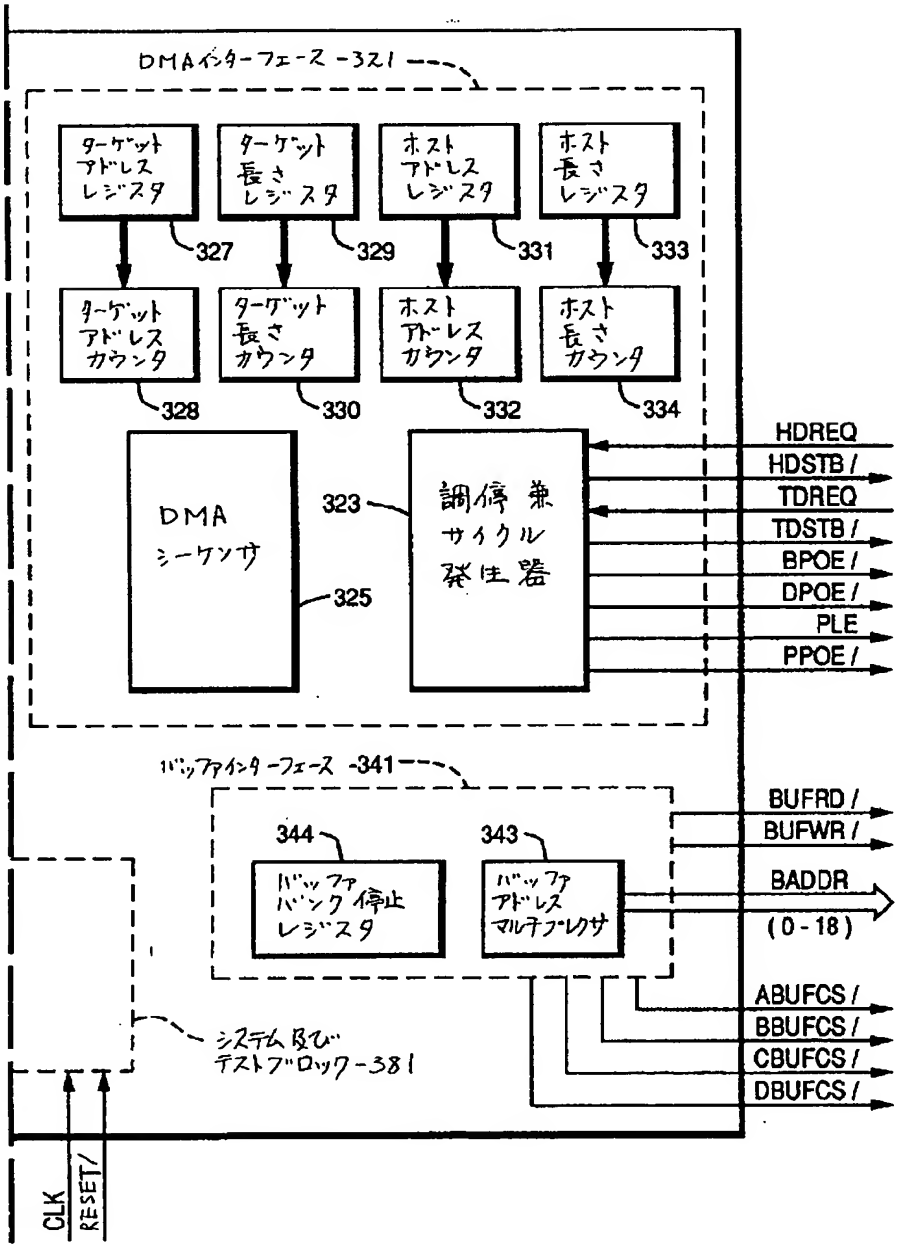
【図3】


RESET/
CLK
205
バッファ バス DMA
ハンドシェーキング論理回路
HDREQ
HDSTB/
EOP/
SHIFT/
CHECK/
(DMA制御論理回路)
211A
パリティ検査並びに
CRC 検査及び発生
ABUF
(0-15, P0, P1)
211B
パリティ検査並びに
CRC検査及び発生
BBUF
(0-15, P0, P1)
211C
パリティ検査並びに
CRC検査及び発生
CBUF
(0-15, P0, P1)
211D
パリティ検査並びに
CRC検査及び発生
DBUF
(0-15, P0, P1)
(バッファバス)

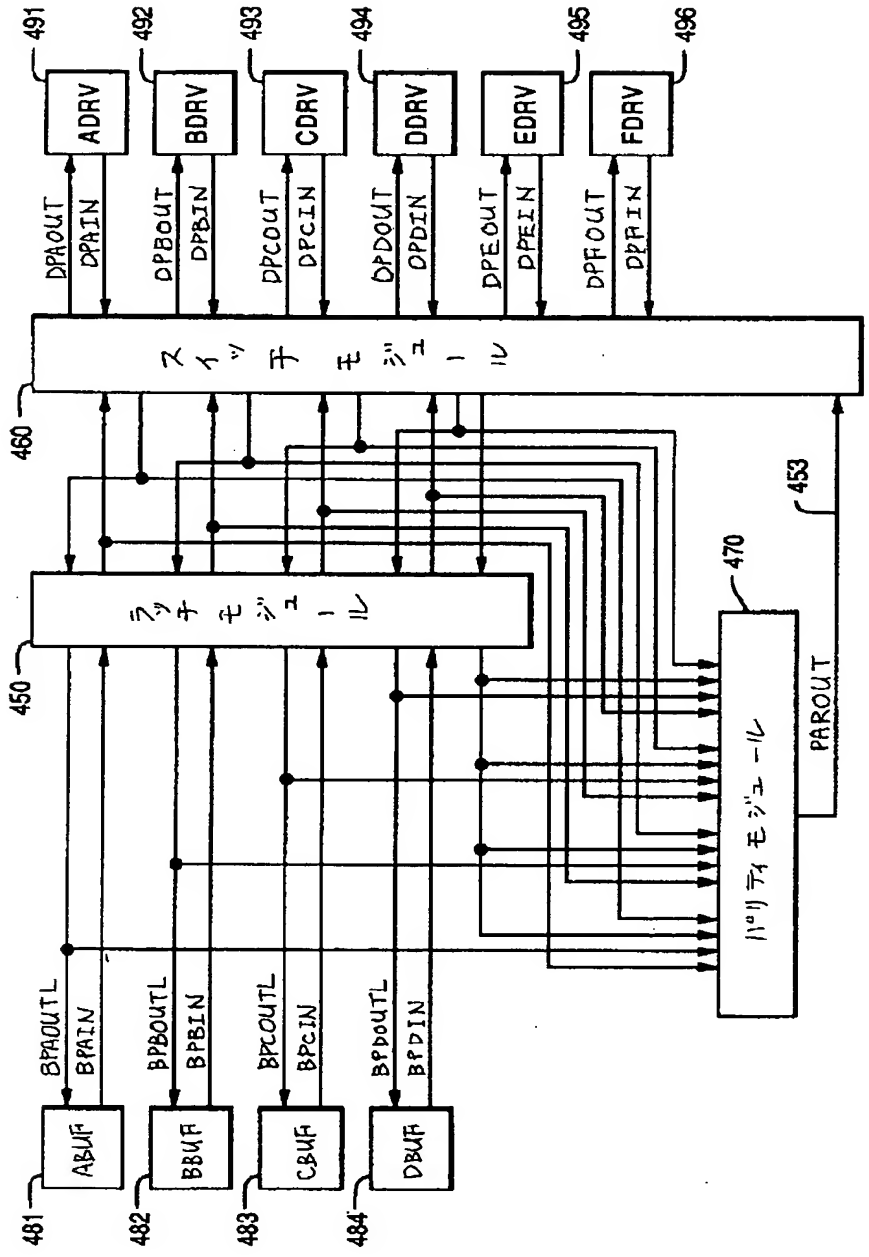
【図4】


CRC制御論理インターフェース -361
363
DMC ブロックサイズ レジスタ
365
DMC ブロックサイズ レジスタ
364
ホスト CRC カウンタ
366
ホスト CRC カウンタ
HCRCCLR /
HCRCCHK /
HCRCSHFT /
TCRCCLR /
TCRCCHK /
TCRCSHFT /
113
プロセッサインターフェース - 301
ADDR (16 -21)
AD (0 -15)
305
アドレス ラッチ
309
待機状態 発生
303
レジスタ復号
307
中断制御
383
テスト アクセス ポート
ALE /
CS /
RD /
WR /
BE1 /
BE2 /
PBUFCS /
BDIR
RDY /
INT /
TMS
TCK
TDI
TDO

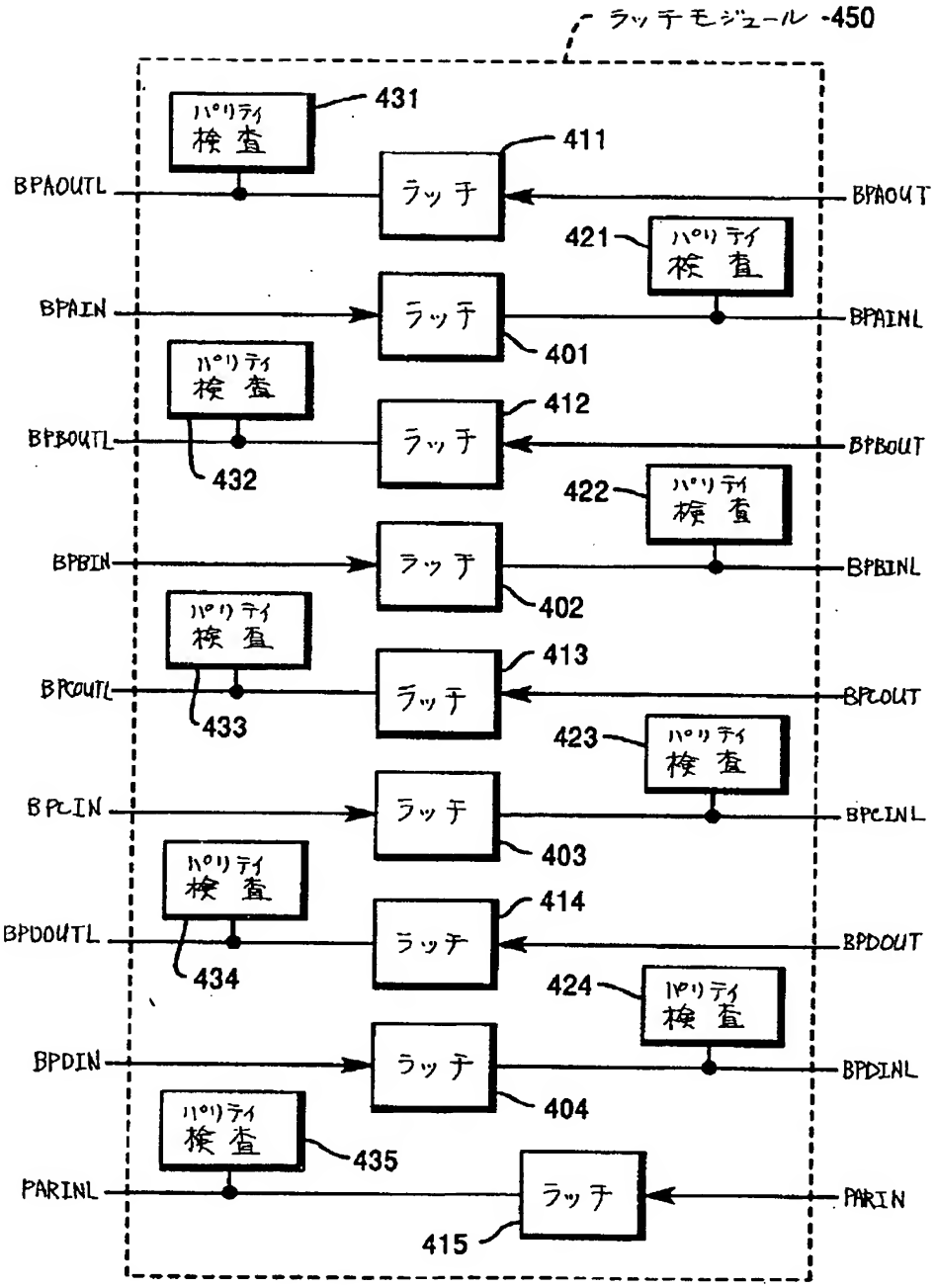
【図5】


DMAインターフェース -321
ターゲット アドレス レジスタ
ターゲット 長さ レジスタ
ホスト アドレス レジスタ
ホスト 長さ レジスタ
327
329
331
333
ターゲット アドレス カウンタ
ターゲット 長さ カウンタ
ホスト アドレス カウンタ
ホスト 長さ カウンタ
328
330
332
334
DMA シーケンサ
325
323
調停 兼 サイクル 発生器
HDREQ
HDSTB /
TDREQ
TDSTB /
BPOE /
DPOE /
PLE
PPOE /
バッファインターフェース -341
344
343
バッファ バンク停止 レジスタ
バッファ アドレス マルチプレクサ
BUFRD /
BUFWR /
BADDR
(0-18)
ABUFCS /
BBUFCS /
CBUFCS /
DBUFCS /
システム及び テストブロック-381
CLK
RESET/

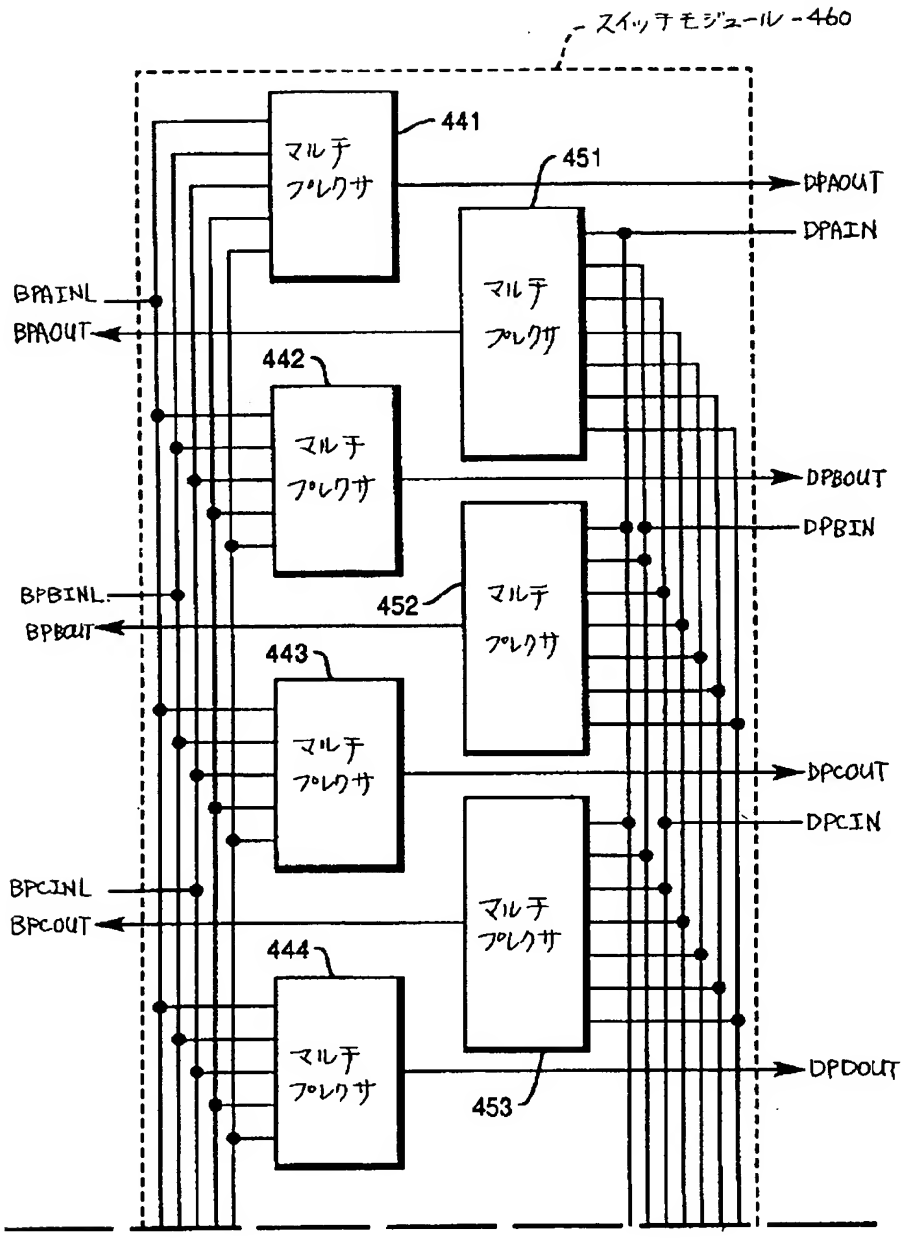
【図6】


491
492
493
494
495
496
ADRV
BDRV
CDRV
DDRV
EDRV
FDRV
DPAOUT
DPAIN
DPBOUT
DPBIN
DPCOUT
DPCIN
DPDOUT
DPDIN
DPEOUT
DPEIN
DPFOUT
DPFIN
スイッチモジュール
460
453
470
ラッチモジュール
450
バリディモジュール
PAROUT
BPAOUTL
BPAIN
BPBOUTL
BPBIN
BPCOUTL
BPCIN
BPDOUTL
BPDIN
ABUF
BBUF
CBUF
DBUF
481
482
483
484

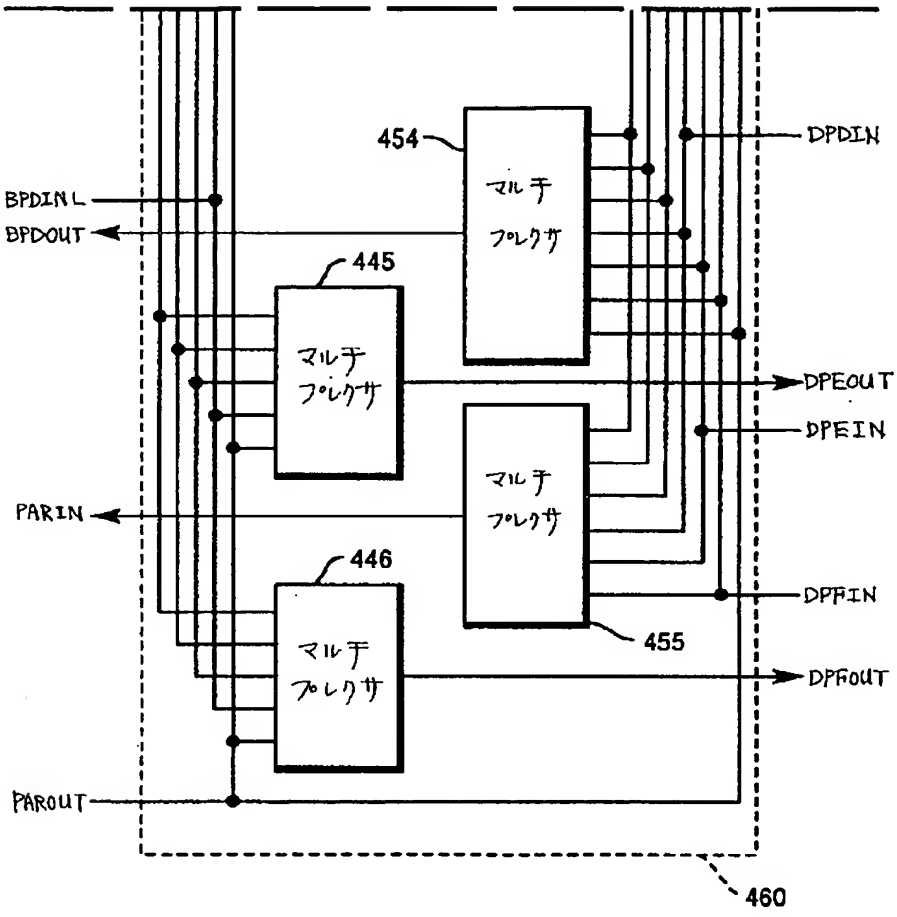
【図7】


ラッチモジュール 450
パリティ検査
ラッチ
431
411
421
401
412
422
402
413
423
403
414
424
404
435
415
BPAOUTL
BPAOUT
BPAIN
BPAINL
BPBOUTL
BPBOUT
BPBIN
BPBINL
BPCOUTL
BPCOUT
BPCIN
BPCINL
BPDOUTL
BPDOUT
BPDIN
BPDINL
PARINL
PARIN
432
433
434

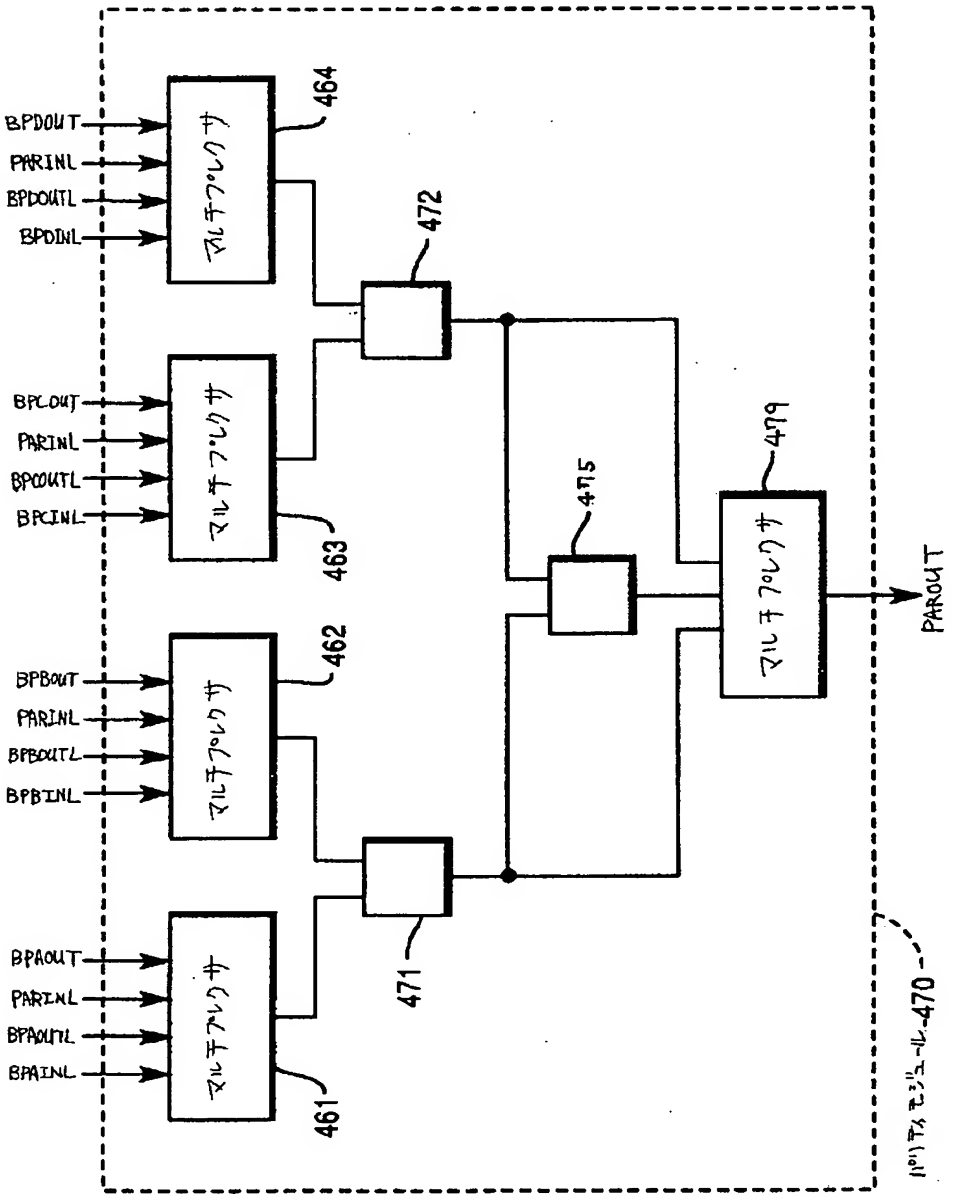
【図8】


スイッチモジュール-460
441
マルチプレクサ
451
DPAOUT
DPAIN
BPAINL
BPAOUT
442
マルチプレクサ
DPBOUT
DPBIN
BPBINL
BPBOUT
452
マルチプレクサ
443
マルチプレクサ
DPCOUT
DPCIN
BPCINL
BPCOUT
444
マルチプレクサ
453
DPDOUT

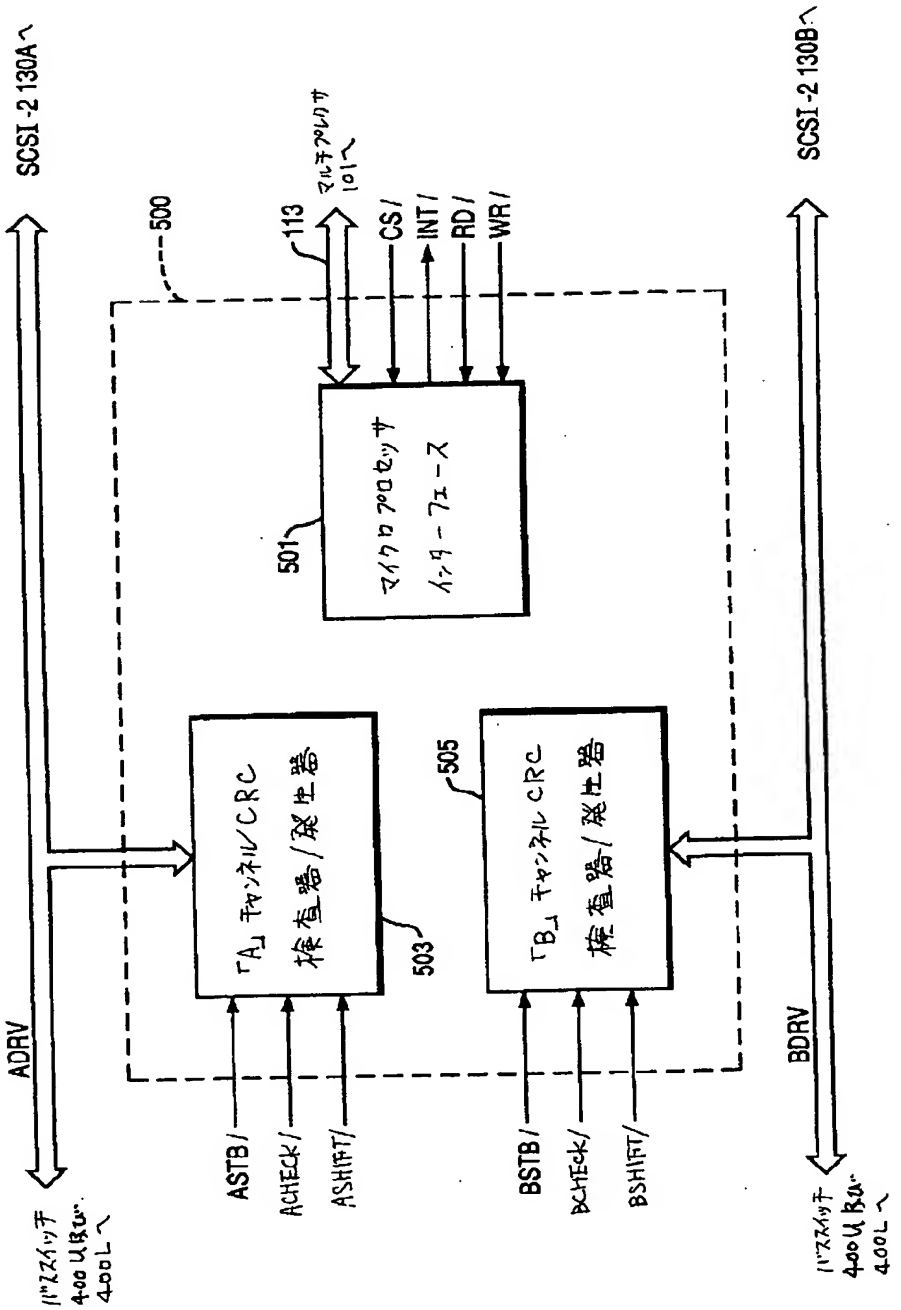
【図9】


454
マルチプレクサ
DPDIN
BPDINL
BPDOUT
445
マルチプレクサ
DPEOUT
DPEIN
マルチプレクサ
PARIN
446
マルチプレクサ
DPFIN
455
DPFOUT
PAROUT
460

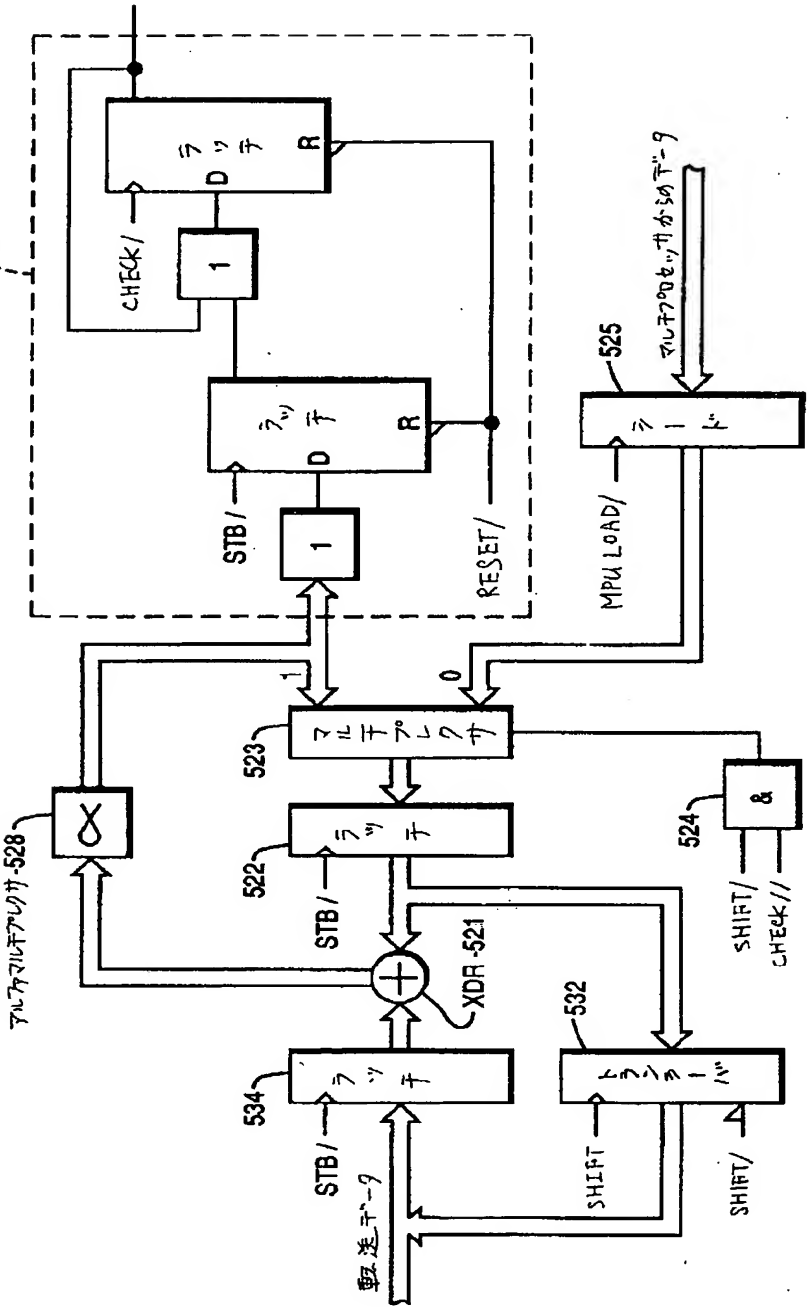
【図１０】


BPDOUT
PARINL
BPDOUTL
BPDINL
マルチプレクサ
464
472
BPCOUT
PARINL
BPCOUTL
BPCINL
マルチプレクサ
463
475
479
PAROUT
マルチプレクサ
BPBOUT
PARINL
BPBOUTL
BPBINL
マルチプレクサ
462
471
BPAOUT
PARINL
BPAOUTL
BPAINL
マルチプレクサ
461
パリティモジュール-470

【図11】


SCSI-2 130A
SCSI-2 130B
500
113
CS/
INT/
RD/
WR/
501
マイクロプロセッサ
インターフェース
「A」チャンネルCRC
検査器/発生器
503
「B」チャンネルCRC
検査器/発生器
505
ADRV
BDRV
ASTB/
ACHECK/
ASHIFT/
BSTB/
BCHECK/
BSHIFT/

【図12】


526
CHECK/
1
STB/
1
RESET/
525
MPU LOAD/
1
0
523
522
STB/
524
SHIFT/
CHECK//
528
XDR-521
532
534
STB/
SHIFT
SHIFT/